

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-272461  
(43)Date of publication of application : 18.10.1996

(51)Int.Cl. G05F 1/56  
H02J 1/00  
H02M 1/14  
H03F 1/30

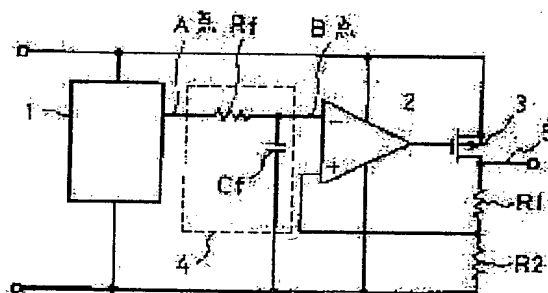
(21)Application number : 07-074214 (71)Applicant : SEIKO INSTR INC  
(22)Date of filing : 30.03.1995 (72)Inventor : SUDO MINORU

## (54) VOLTAGE REGULATOR

### (57)Abstract:

**PURPOSE:** To improve the ratio of eliminating ripples of the voltage regulator by adding a low-pass filter to the output of a reference voltage circuit and improving the ripple eliminating ratio of it.

**CONSTITUTION:** In the voltage regulator where the CMOS monolithic IC processing including the reference voltage is performed, a low-pass filter 4 consisting of a resistance  $R_f$  and a capacity  $C_f$  is provided between the output point A of a reference voltage circuit 1 and the input point B of an error amplifier 2. At the output point A of the circuit 1, a ripple voltage is generated when the power supply voltage is fluctuated. In this case, the low-pass filter 4 can improve the ripple elimination ratio of the point B without increasing the consumption current even when the ripple elimination ratio of the circuit 1 deteriorates. The resistance  $R_f$  and the capacity  $C_f$  of the low-pass filter 4 do not incorporate ICs and the same effect can be obtained if they are attached outside. By changing the resistance  $R_f$ , the cut-off frequency of the low-pass filter 4 can be changed.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-272461

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 5 F 1/56	3 1 0		G 0 5 F 1/56	3 1 0 H
H 0 2 J 1/00	3 0 6	7346-5G	H 0 2 J 1/00	3 0 6 B
H 0 2 M 1/14			H 0 2 M 1/14	
H 0 3 F 1/30			H 0 3 F 1/30	B

審査請求 未請求 請求項の数 3 O L (全 3 頁)

(21) 出願番号 特願平7-74214

(22) 出願日 平成7年(1995)3月30日

(71) 出願人 000002325

セイコー電子工業株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 須藤 稔

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコー電子工業株式会社内

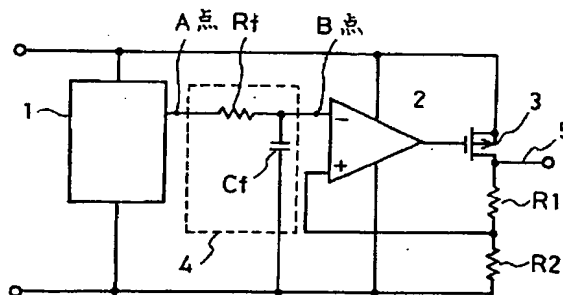
(74) 代理人 弁理士 林 敬之助

(54) 【発明の名称】 ボルテージ・レギュレータ

(57) 【要約】

【目的】 基準電圧回路を有するボルテージ・レギュレータのリップル除去率を改善する。

【構成】 基準電圧回路1の出力と誤差増幅器の一方の入力の間に抵抗 $R_f$ と容量 $C_f$ からなるローパス・フィルタ4を設け、基準電圧の出力のリップル除去率を改善することによりボルテージ・レギュレータのリップル除去率を改善する。



## 【特許請求の範囲】

【請求項 1】 基準電圧回路の出力が誤差増幅器の一方の入力に接続され、前記誤差増幅器の出力が出力トランジスタの制御端子に接続され、前記出力トランジスタの第 1 の電極端子が電圧供給端子の一端に、第 2 の電極端子が分割抵抗を介して電圧供給端子の他端に接続され、前記分割抵抗の一部が前記誤差増幅器の他方の入力と接続され、前記出力トランジスタと前記分割抵抗との接続点を出力とした MOS IC 化されたボルテージ・レギュレータにおいて、前記基準電圧回路の出力と前記誤差増幅器の一方の入力の間に抵抗と容量からなるローパス・フィルタを設けたことを特徴とするボルテージ・レギュレータ。

【請求項 2】 前記ローパス・フィルタの抵抗または容量のいずれか一方、または両方を外付けとしたことを特徴とする請求項 1 記載のボルテージ・レギュレータ。

【請求項 3】 前記ローパス・フィルタの抵抗値を変化させる回路を具備したことを特徴とする請求項 1 または請求項 2 記載のボルテージ・レギュレータ。

## 【発明の詳細な説明】

【0001】

$$V_{out} = (R_1 + R_2) / R_2 \times V_{ref} \quad \dots (1)$$

ここで、 $R_1$  は図 3 の抵抗  $R_1$  であり、 $R_2$  は図 3 の抵抗  $R_2$  であり、 $V_{ref}$  は基準電圧回路 1 の出力電圧（以下、基準電圧と呼ぶ）である。式 (1) から明らかなように、レギュレータの出力電圧  $V_{out}$  は基準電圧  $V_{ref}$  に比例する。従って、レギュレータのリプル除去率（電源変動に対する出力電圧変動）を向上するには、基準電圧回路 1 のリプル除去率を向上させる必要がある。

【0006】しかし、基準電圧回路 1 のリプル除去率を向上させるためには、基準電圧回路 1 の消費電流を増大する必要があり、これはボルテージ・レギュレータの消費電流の増大を招き、ボルテージ・レギュレータの性能を低下させることになる。すなわち、ボルテージ・レギュレータの性能を低下させないとリプル除去率を改善できないという課題があった。

【0007】そこで本発明の目的は従来のこのような課題を解決するため、ボルテージ・レギュレータの性能を低下させることなくリプル除去率を改善することである。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明は、基準電圧を含む CMOS モノリシック IC 化されたボルテージ・レギュレータにおいて、基準電圧の出力にローパス・フィルタを設け、基準電圧回路のリプル除去率を改善することによりボルテージ・レギュレータのリプル除去率の改善が図れるようにした。

【0009】

【産業上の利用分野】この発明は、CMOS モノリシック IC 化されたリプル除去率の高いボルテージ・レギュレータに関するものである。

【0002】

【従来の技術】従来のボルテージ・レギュレータの回路図を図 3 に示す。基準電圧回路 1 と抵抗  $R_1$  と  $R_2$  からなる抵抗群から検出された電圧は、誤差増幅器 2 で比較され、出力トランジスタ 3 を制御する。

【0003】つまり抵抗群から検出された電圧が基準電圧回路の出力電圧  $V_{ref}$  よりも低ければ、誤差増幅器 2 の出力は低くなり、出力トランジスタ 3 を強くバイアスし、逆に抵抗群から検出された電圧が  $V_{ref}$  よりも高ければ出力トランジスタ 3 を弱くバイアスして、出力端子 5 には一定の電圧が得られる。

【0004】

【発明が解決しようとする課題】しかし、従来の技術の場合、レギュレータのリプル除去率は悪くなる。図 3 において出力端子 5 の出力を  $V_{out}$  とすると、 $V_{out}$  は式 (1) のように表される。

【0005】

【作用】このように構成されたボルテージ・レギュレータにおいては、基準電圧回路のリプル除去率を低消費電流で改善でき、その結果として、低消費電流でリプル除去率の優れたボルテージ・レギュレータとなる。

【0010】

【実施例】以下に、この発明の実施例を図面に基づいて説明する。図 1 は、本発明のボルテージ・レギュレータの回路図である。基準電圧回路 1 の出力 A 点には、電源電圧が変動した時あるリプル電圧が発生する。このリプル電圧は基準電圧回路 1 の性能によって決定されるが、一般にリプル電圧を抑えるためには、基準電圧回路 1 の消費電流を増大させる必要がある。

【0011】仮に、図 1 において、基準電圧回路 1 のリプル除去率を周波数  $f = 100\text{Hz}$  において  $40\text{dB}$  とする。図 3 の従来のボルテージ・レギュレータでは、 $100\text{Hz}$  においてリプル除去率が  $40\text{dB}$  よりも悪化することは式 (1) より明らかである。

【0012】図 1 の場合、基準電圧回路 1 のリプル除去率が悪くても、ローパス・フィルタ 4 によって B 点のリプル除去率を消費電流の増大なしに改善することが可能となる。例えば、ローパス・フィルタ 4 のカットオフ周波数  $f_c$  を  $10\text{Hz}$  に設定すれば ( $f_c = 1 / (2 \times \pi \times R_f \times C_f)$ )、B 点でのリプル除去率を  $100\text{Hz}$  において A 点よりも  $20\text{dB}$  改善することができる (A 点で  $40\text{dB}$  の場合 B 点では  $60\text{dB}$ )。

【0013】また、ローパス・フィルタ 4 の抵抗  $R_f$  と容量  $C_f$  は特に IC に内蔵する必要はなく、外付けにしても同様な効果が得られることは明らかである。また、

ローパス・フィルタ 4 の抵抗  $R_f$  を変えることによりローパス・フィルタのカットオフ周波数を変えることが可能である。これを実現するにはローパス・フィルタ 4 の抵抗  $R_f$  を、例えば、図 2 のように構成し必要に応じてトランジスタ  $M_1$ 、 $M_2$  を ON/OFF させればよい。

【0014】

【発明の効果】以上に説明したように、本発明は、基準電圧回路の出力にローパス・フィルタを付加し、基準電圧回路のリプル除去率を改善したので従来と同じ低消費電流でボルテージ・レギュレータのリプル除去率を改善することが出来るという効果がある。

【0015】

【図面の簡単な説明】

【0016】

【図 1】本発明のボルテージ・レギュレータの回路図で

ある。

【0017】

【図 2】本発明のローパス・フィルタの抵抗部の回路図である。

【0018】

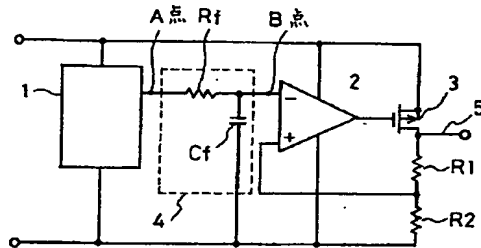
【図 3】従来のボルテージ・レギュレータの回路図である。

【0019】

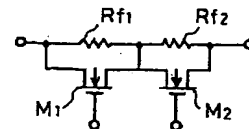
【符号の説明】

- 1 基準電圧回路
- 2 誤差増幅器
- 3 出力トランジスタ
- 4 ローパス・フィルタ
- 5 ボルテージ・レギュレータの出力端子

【図 1】



【図 2】



【図 3】

